

---

# 高度センサー信号処理のための Analog-VLSI Open-IP(16)

池田 博一\*

宇宙航空研究開発機構 宇宙科学研究本部

初版：平成 18 年 1 月 10 日

---

## 概要

本文書は、沖電気工業株式会社の提供する 0.15  $\mu m$  FD SOI CMOS プロセス用に調整された IP を提供するものです。本稿では、LVDS 回路、TRI ステート回路等のインターフェース回路について記載します。

## 目次

1 インターフェース回路	290
--------------	-----

## 表目次

## 図目次

1 インターフェース回路のシンボル一覧	291
2 LVDS 回路 (LVDS ドライバ)	291
3 LVDSR 回路 (LVDS レシーバ)	292
4 DIFA_D 回路	292
5 DIFA_D_HALF 回路	292
6 HITSUMR 回路	293
7 TRBUF 回路	293

## 1 インターフェース回路

図 1 には、デジタル電源及びデジタル入出力用のパッド回路の一覧を示しました。

LVDS 関係では、ドライバとして LVDS 回路 (図 2) が、レシーバとして LVDSR 回路 (図 3) が用意されている。

ドライバ回路は、LVDS の標準電流の約 1/10 の差動電流信号を送出している。直流電位は、DGND 端子に直流電圧を印加するか、適当な抵抗を挿入することによって調整することができる。

---

\*ikeda.hirokazu@jaxa.jp

レシーバ回路は、差動増幅器 DIFA\_D\_HALF 回路 (図 5) と、DIF\_COMP 回路 (図??) とから構成されている。入力差動信号のコモンモードレンジは、自ずから制約されているので、予め直流レベルを 0.5 V 程度に調整することを要する。このような目的で NIM モジュール GNN-490K を使用すると便利である。

差動増幅器 DIFA\_D\_HALF 回路は、対応するアナログ系の差動増幅器 DIFA\_HALF と同一の回路であって、電源系をデジタル系に切り替えたものである。

HITSUMR 回路 (図 6) は、低レベルのシングルエンドの電流信号を CMOS レベルに変換するものである。入力信号は、電流であるから、このノードにおいて電流のサムを採ることができる。SUM とある所以である。

TRBUF 回路 (図 7) は、トライステートのバッファ回路である。ドライブ能力は低いので、専らコア回路におけるバスドライブの目的で使用されることを想定している。

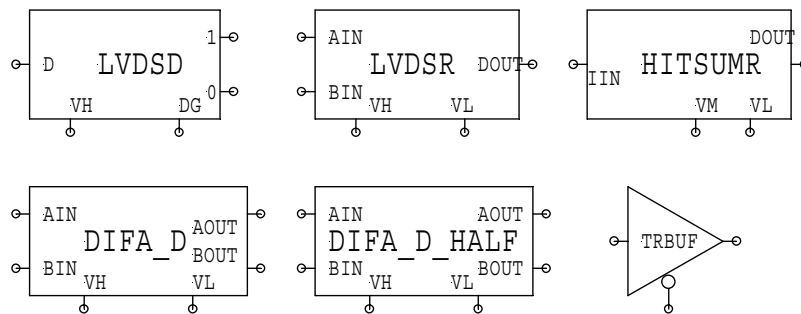


図 1: インターフェース回路のシンボル一覧

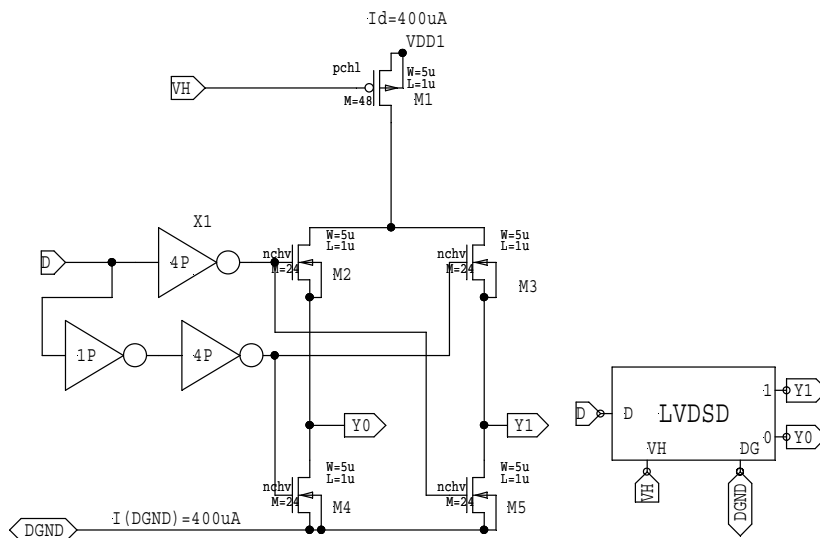


図 2: LVDS D 回路 (LVDS ドライバ)

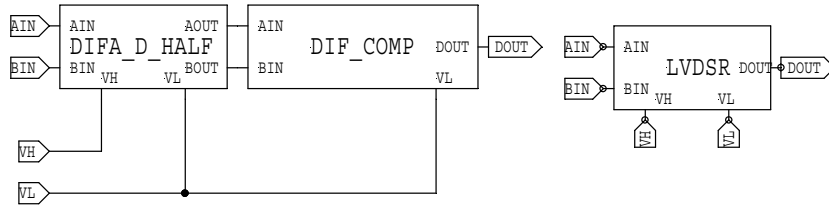


図 3: LVDSR 回路 (LVDS レシーバ)

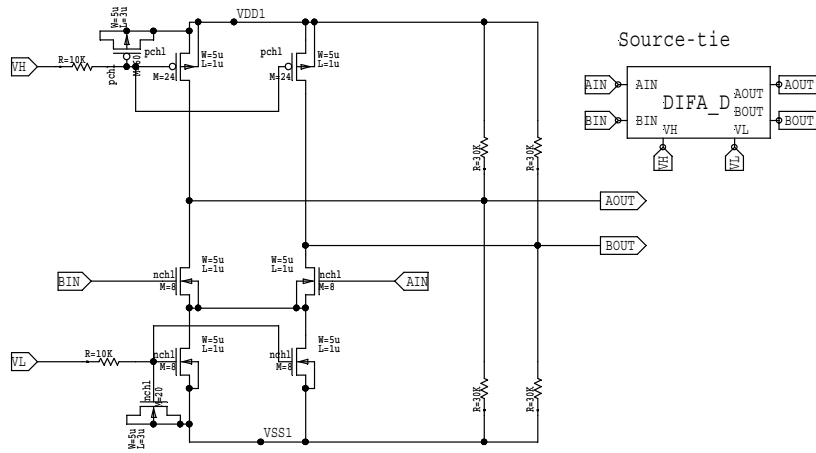


図 4: DIFA\_D 回路

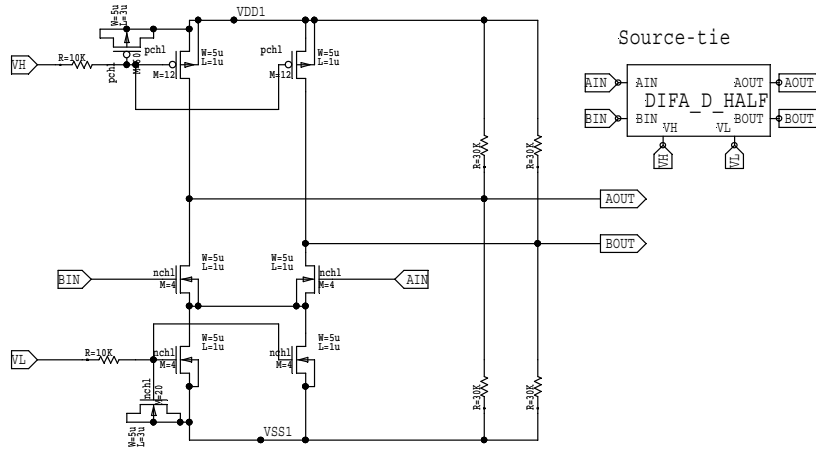


図 5: DIFA\_D\_HALF 回路

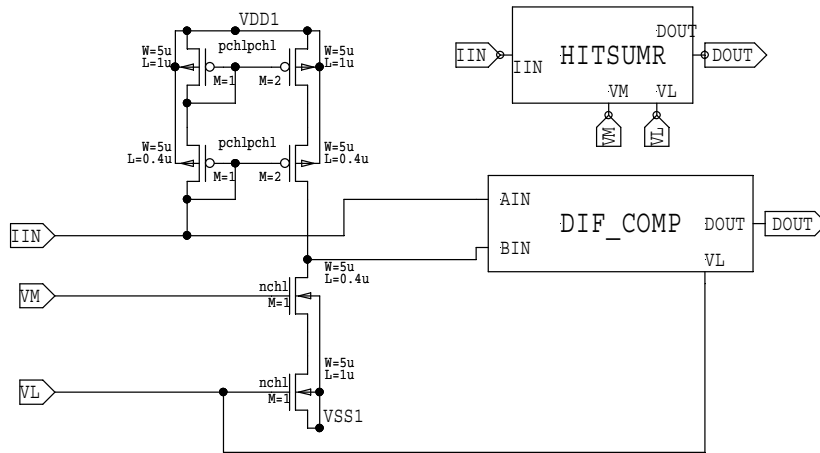


图 6: HITSUMR 回路

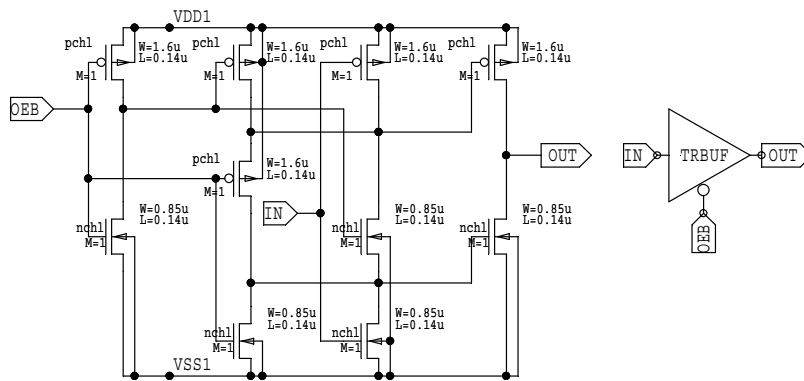


图 7: TRBUF 回路

以下に各回路のネットリストを掲げる。

```
.SUBCKT TRBUF IN OEB OUT
M1 N7 OEB VSS1 VSS1 nchl L=0.14u W=0.85u M=1
M2 N33 IN VSS1 VSS1 nchl L=0.14u W=0.85u M=1
M3 N33 OEB VSS1 VSS1 nchl L=0.14u W=0.85u M=1
M4 N1 N7 N33 VSS1 nchl L=0.14u W=0.85u M=1
M5 OUT N33 VSS1 VSS1 nchl L=0.14u W=0.85u M=1
M6 N7 OEB VDD1 VDD1 pchl L=0.14u W=1.6u M=1
M7 N1 N7 VDD1 VDD1 pchl L=0.14u W=1.6u M=1
M8 N1 IN VDD1 VDD1 pchl L=0.14u W=1.6u M=1
M9 N33 OEB N1 VDD1 pchl L=0.14u W=1.6u M=1
M10 OUT N1 VDD1 VDD1 pchl L=0.14u W=1.6u M=1
.ENDS
```

```
.SUBCKT HITSUMR DOUT IIN VL VM
XDIF_COMP_1 IIN N3 DOUT VL DIF_COMP
M1 N3 VM N17 VSS1 nchl L=0.4u W=5u M=1
M2 N17 VL VSS1 VSS1 nchl L=1u W=5u M=1
M3 N4 N2 VDD1 VDD1 pchl L=1u W=5u M=2
M4 N2 N2 VDD1 VDD1 pchl L=1u W=5u M=1
M5 N3 IIN N4 VDD1 pchl L=0.4u W=5u M=2
M6 IIN IIN N2 VDD1 pchl L=0.4u W=5u M=1
.ENDS
```

```
.SUBCKT DIFA_D_HALF AIN AOUT BIN BOUT VH VL
M1 AOUT BIN N7 N7 nchl L=1u W=5u M=4
M2 N7 N6 VSS1 VSS1 nchl L=1u W=5u M=4
M3 N7 N6 VSS1 VSS1 nchl L=1u W=5u M=4
M4 BOUT AIN N7 N7 nchl L=1u W=5u M=4
M5 VSS1 N6 VSS1 VSS1 nchl L=3u W=5u M=20
M6 AOUT N34 VDD1 VDD1 pchl L=1u W=5u M=12
M7 BOUT N34 VDD1 VDD1 pchl L=1u W=5u M=12
M8 VDD1 N34 VDD1 VDD1 pchl L=3u W=5u M=60
R9 VH N34 10K TC=0.0, 0.0
R10 VL N6 10K TC=0.0, 0.0
R11 AOUT VDD1 30K TC=0.0, 0.0
R12 VSS1 AOUT 30K TC=0.0, 0.0
R13 BOUT VDD1 30K TC=0.0, 0.0
R14 VSS1 BOUT 30K TC=0.0, 0.0
.ENDS
```

```
.SUBCKT DIFA_D AIN AOUT BIN BOUT VH VL
```

```

M1 AOUT BIN N7 N7 nchl L=1u W=5u M=8
M2 N7 N6 VSS1 VSS1 nchl L=1u W=5u M=8
M3 N7 N6 VSS1 VSS1 nchl L=1u W=5u M=8
M4 BOUT AIN N7 N7 nchl L=1u W=5u M=8
M5 VSS1 N6 VSS1 VSS1 nchl L=3u W=5u M=20
M6 AOUT N34 VDD1 VDD1 pchl L=1u W=5u M=24
M7 BOUT N34 VDD1 VDD1 pchl L=1u W=5u M=24
M8 VDD1 N34 VDD1 VDD1 pchl L=3u W=5u M=60
R9 VH N34 10K TC=0.0, 0.0
R10 VL N6 10K TC=0.0, 0.0
R11 AOUT VDD1 30K TC=0.0, 0.0
R12 VSS1 AOUT 30K TC=0.0, 0.0
R13 BOUT VDD1 30K TC=0.0, 0.0
R14 VSS1 BOUT 30K TC=0.0, 0.0
.ENDS

.SUBCKT LVDSR AIN BIN DOUT VH VL Gnd VDD
XDIFA_D_HALF_1 AIN N1 BIN N2 VH VL DIFA_D_HALF
XDIF_COMP_1 N1 N2 DOUT VL DIF_COMP
.ENDS

.SUBCKT LVDS D DGND VH YO Y1
Xinv1P_1 D N1 inv1P
Xinv4P_1 D N3 inv4P
Xinv4P_2 N1 N23 inv4P
M1 N24 VH VDD1 VDD1 pchl L=1u W=5u M=48
M2 YO N23 DGND DGND nchv L=1u W=5u M=24
M3 Y1 N3 DGND DGND nchv L=1u W=5u M=24
M4 N24 N3 YO YO nchv L=1u W=5u M=24
M5 N24 N23 Y1 Y1 nchv L=1u W=5u M=24
.ENDS

```

以上